

**(54) MOTION VECTOR GENERATING CIRCUIT**

(11) 5-268592 (A) (43) 15.10.1993 (19) JP

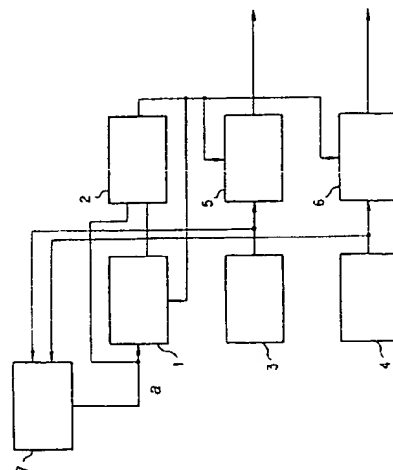
(21) Appl. No. 4-63794 (22) 19.3.1992

(71) FUJITSU LTD (72) HIROSHI MIYAKE(2)

(51) Int. Cl.<sup>5</sup>. H04N7/137, H04N7/133

**PURPOSE:** To reduce the hardware scale, to decrease the processing time and to allow the circuit to be compatible with a change in the size of a reference pattern with respect to the motion vector generating circuit to implement motion compensation in the moving picture high efficiency coding system.

**CONSTITUTION:** The circuit is provided with x, y direction counters 3, 4 outputting x, y coordinates, with a tentative minimum value latch means 1 and a comparison means 2 detecting an output of a tentative minimum value of difference absolute sum of each block of a reference pattern from a difference absolute value sum arithmetic operation means 7, and with a tentative x-coordinate latch means 5 and a tentative y-coordinate latch means 6 latching the x, y coordinates at the detection. Furthermore, a means detecting outputs of the x, y direction counters 3, 4 reaching full width of plural reference patterns of a different size is provided and the counters 3, 4 are reset every time the means detects the arrival of the full width of a designated reference pattern.



a: difference absolute sum, b: motion vector

**(54) DIFFERENCE ABSOLUTE SUM/DIFFERENCE SQUARE SUM PARALLEL ARITHMETIC OPERATION DEVICE**

(11) 5-268593 (A) (43) 15.10.1993 (19) JP

(21) Appl. No. 4-64721 (22) 23.3.1992

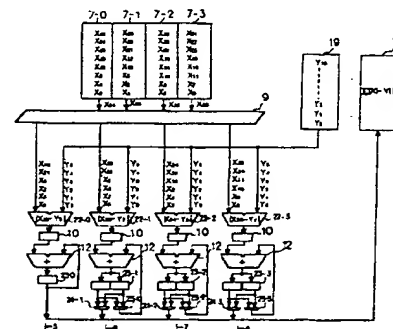
(71) NIPPON TELEGR &amp; TELEPH CORP &lt;NTT&gt;

(72) TOSHIHIRO MINAMI(1)

(51) Int. Cl.<sup>5</sup>. H04N7/137, G06F7/52, G06F15/347, G06F15/66, G06F15/70

**PURPOSE:** To reduce number of output ports of a memory and to eliminate the need for a selector selecting a picture element to be sent to each arithmetic operation circuit and a shift register used to shift picture elements of a current picture element block read from the memory for each cycle.

**CONSTITUTION:** An L1·L2 norm parallel arithmetic operation unit calculating a difference absolute sum (L1) norm and a difference square sum (L2) norm between plural picture element blocks deviated by one picture element each in the horizontal direction segmented from a preceding frame and a picture element block segmented from a current frame in parallel is provided with a means which latches picture elements of a preceding frame to memories 7-0-7-3 having plural outputs port able to read plural data at once at consecutive addresses and reads plural picture elements having consecutive addresses at once, segments simultaneously picture elements of a picture element block from a current frame and transfers the segmented picture elements of the picture element block to all of plural computing elements 22-0-22-3 whose number is the same as the number of the port.

**(54) MOTION DETECTOR FOR MOVING PICTURE**

(11) 5-268594 (A) (43) 15.10.1993 (19) JP

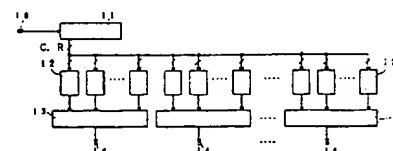
(21) Appl. No. 4-91419 (22) 18.3.1992

(71) SONY CORP (72) KATSUJI IGARASHI

(51) Int. Cl.<sup>5</sup>. H04N7/137, H04N7/133

**PURPOSE:** To attain valid motion compensation to a picture not only moved in parallel but also changing its moving angle by devising the detector such that a moving angle as well as a motion vector is detected and the detector is applied to e.g. a picture coding and decoding device.

**CONSTITUTION:** The detector detects a motion of a block based on block matching used for detecting a degree of matching between relevant positions of pictures and is provided with a calculation means calculating relevant positions by taking a motion vector and a moving angle between macro blocks for matching into account, each of integration devices 12 each having an accumulation means obtaining an absolute difference sum of each position obtained by the calculation means and accumulating the results and with a discrimination circuit 13 collecting outputs of the integration devices 12 in the unit of macro blocks and discriminating a minimum value.



11: delay register

(19)日本国特許庁 (J P)

(12) 公 開 特 許 公 報 (A)

(11)特許出願公開番号

特開平5-268593

(43)公開日 平成5年(1993)10月15日

(51)Int.Cl. <sup>5</sup>	識別記号	庁内整理番号	F I	技術表示箇所
H 0 4 N 7/137	Z			
G 0 6 F 7/52	3 1 0 Z	9291-5B		
15/347	K	8320-5L		
15/66	M	8420-5L		
	K	8420-5L		

審査請求 未請求 請求項の数2(全 10 頁) 最終頁に続く

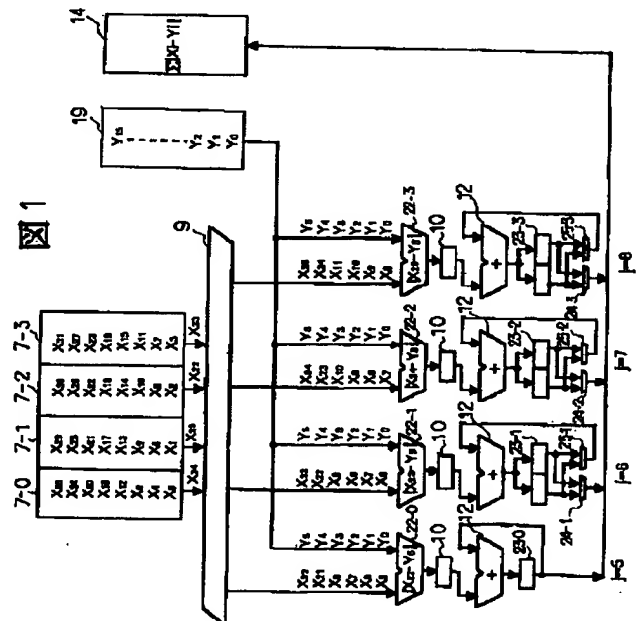
(21)出願番号	特願平4-64721	(71)出願人	000004226 日本電信電話株式会社 東京都千代田区内幸町一丁目1番6号
(22)出願日	平成4年(1992)3月23日	(72)発明者	南 俊宏 東京都千代田区内幸町一丁目1番6号 日 本電信電話株式会社内
		(72)発明者	笠井 良太 東京都千代田区内幸町一丁目1番6号 日 本電信電話株式会社内
		(74)代理人	弁理士 秋田 収喜

## (54)【発明の名称】 差分絶対値和・差分自乗和並列演算装置

## (57)【要約】

【目的】 メモリの出力ポートを低減する。また、個々の演算回路に送る画素を選択するセクタ及びメモリから読み出された現画素ブロックの画素を1サイクルごとにシフトするためのシフトレジスタを不要にする。

【構成】 前フレームから切り出した水平方向に1画素づつずれた複数の画素ブロックと、現フレームから切り出した画素ブロックの間のL1もしくはL2ノルムを並列に計算するL1・L2ノルム並列演算装置において、連続したアドレスに置かれた複数のデータを一度に読み出すことができる複数の出力ポートを有するメモリ上に、前フレームの画素を保持する画素保持し、これから連続したアドレスを持った複数の画素を一度に読み出して、同時に現フレームから画素ブロックの画素を切り出し、この切出された画素ブロックの画素を前記ポート数と同じ数の複数の演算器のすべてに放送する手段とを備える。



## 【特許請求の範囲】

【請求項1】 前フレームから切り出した水平方向に1画素づつずれた複数の画素ブロックと、現フレームから切り出した画素ブロックの間の差分絶対値和もしくは差分自乗和を並列に計算する差分絶対値和・差分自乗和並列演算装置において、連続したアドレスに置かれた複数のデータを一度に読み出すことができる複数の出力ポートを有するメモリと、該メモリ上に前フレームの画素を保持する画素保持手段と、該画素保持手段から連続したアドレスを持った複数の画素を一度に読み出して、同時に現フレームから画素ブロックの画素を切り出す手段と、該切り出す手段によって切り出された画素ブロックの画素を前記ポート数と同じ数の複数の演算器のすべてに放送する手段とを備えることを特徴とする差分絶対値和・差分自乗和並列演算装置。

【請求項2】 請求項1に記載の差分絶対値和・差分自乗和並列演算装置において、前記演算器は、差分絶対値演算器もしくは差分自乗演算器と累算器からなることを特徴とする差分絶対値和・差分自乗和並列演算装置。 \*

$$L1ノルム = \sum_i |X_j(i) - Y(i)| \quad i=0 \sim 63 \quad \cdots (1)$$

【0004】

$$L2ノルム = \sum_i (X_j(i) - Y(i))^2 \quad i=0 \sim 63 \quad \cdots (2)$$

【0005】ここで、 $X_j(i)$ は、前フレーム2から切り出した画素ブロック3～5中の画素である。また、 $Y(i)$ は、現フレームから切り出した画素ブロック1中の画素である。 $j$ は複数の前画素ブロックにつけられた番号を表す。図2の場合、 $j=3, 4, 5$ の画素ブロックは、水平方向に1画素ずれているのみであり、大部分の画素は共通である。ただし、実際には、 $L1$ もしくは $L2$ ノルム計算の対象となる複数の前画素ブロック間のずれは水平方向に1画素のみとは限らない。水平もしくは垂直方向に任意の画素数だけずれている場合がある。  $L1$ ノルムと $L2$ ノルムの違いは、2画素の差を計算した後、絶対値をとるか乗算するかどうかであるので、以下では、 $L1$ ノルムについてのみ説明する。

【0006】前記 $L1 \cdot L2$ ノルムに関する技術については、例えば、K. Kikuchi, Y. Nukada, Y. Aoki, T. Kanou, Y. Endo, T. Nishitani, "A Single-Chip 16-bit 25ns V Video/Image Signal Processor" ISSCC Digest Technical Paper, pp.170-171, Feb1989.に記載されている。

【0007】(2) 従来技術の第1の例  
前記 $L1$ ノルムの計算対象となる画素ブロックの例を図3に示す。ここで、簡単のために、画素ブロックの大きさは $4 \times 4$ としている。図中の破線で囲まれた領域の画素ブロック6について $L1$ ノルムを計算する。なお、 $X_5, X_6, X_7, X_8, X_{21}, X_{22}, \dots$ はそれぞれ前記式(1)における $X_5(0), X_5(1), X_5(2), X_5(3), X_5(4), X_5(5), \dots$ に、 $Y$  ※50

## \* 【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は、動画像符号化のアルゴリズムの一つである動き補償に必要なブロックマッチングの基本となる差分絶対値和（以下、 $L1$ ノルムという）もしくは差分自乗演算器（以下、 $L2$ ノルムという）計算を並列に行う $L1 \cdot L2$ ノルム並列演算装置に関するものである。

【0002】

10 【従来技術】(1)  $L1 \cdot L2$ ノルム

図2は、従来の $L1 \cdot L2$ ノルム計算の対象となる画素ブロックの例を説明するための図である。この例では、画素ブロックは $8 \times 8$ の大きさである。 $L1 \cdot L2$ ノルムは、現フレーム中の画素ブロック1と前フレーム2中の複数の画素ブロック3～5の間で次式(1)、式

(2)によって計算される。

【0003】

【数1】

【数2】

※0,  $Y_1, Y_2, Y_3, Y_4, \dots$ はそれぞれ $Y$ 

(0),  $Y(1), Y(2), Y(3), Y(4), \dots$ に対応する。この画素ブロック6に対する $L1$ ノルムを4並列で計算する従来技術の第1の例の回路構成を図4に示す。前フレーム2の画素は4バンク構成のメモリ7-0～7-3に置かれている。メモリ7-0～7-3は、メモリ7-0が0番地、メモリ7-1が1番地、メモリ7-2が2番地、7-3が3番地、メモリ7-0が4番地、メモリ7-1が5番地とアドレスが与えられており、連続した4番地のデータを一度に読み出すことができる。画素 $X_0$ は0番地、 $X_1$ は1番地、 $X_2$ は2番地、……と添え字と同じアドレスに置かれている。このメモリ7-0～7-3から読み出された4データは、4データローテーション回路9によって最下位番地のデータが左端の差分絶対値演算器11-0に入力するようにシフトされる。現画素ブロック1中の画素は、メモリ7-0～7-3と同じ構成のメモリ8-0～8-3上の添え字と同じアドレスに置かれている。また、4データローテーション回路9の作用も同じである。従って、図示したように差分絶対値演算器11-0～11-3において $|X_5 - Y_0|, |X_6 - Y_1|, |X_7 - Y_2|, |X_8 - Y_3|$ を同時に計算することができ、最終的にアキュムレータ13に前画素ブロック6に対する $L1$ ノルムを得ることができる。

【0008】前記従来技術の第1の例に関する技術については、例えば、南、山内、田代、鈴木、笠井、高橋、

遠藤、浜口著、「ビデオシグナルプロセッサ I DSP のデータフロー制御」、1991、信学技法、ICD91-12、pp. 25-32に記載されている。

#### 【0009】(3) 従来技術の第2の例

前記L1ノルムの計算対象となる画素ブロックの第2の例を図5に示す。前記第1の例で示した画素ブロック6の他に、水平方向に1画素づつずれた画素ブロック15、16、17が示されている。これらの4画素ブロック6、15、16、17に対するL1ノルムを4並列で計算する従来技術の第2の例の回路構成を図6に示す。前フレーム2の画素は、2出力ポートを持ったメモリ18上の添え字と同じアドレスに置かれている。現画素ブロック1中の画素は、メモリ19上の添え字と同じアドレスに置かれている。メモリ18のポート0からは破線で囲まれた画素が、ポート1からは、直線で囲まれた画素が読み出される。セクタ21-0、21-1、21-2は、これらの画素からそれぞれ画素ブロック17、16、15の画素を選択する。また、レジスタ20-0～20-3は、シフトレジスタであり、メモリ19から読み出された現画素ブロック1の画素を1サイクルごとにシフトする。従って、差分絶対値演算器22-0～22-3でそれぞれ画素ブロック17、16、15、6と現画素ブロック1の差分絶対値を計算し、アキュムレータ23-0～23-3に画素ブロック17、16、15、6と現画素ブロック1のL1ノルムを得ることができる。

【0010】従来技術の第2の例に関する技術は、例えば、K. Yang M. Sun L. Wu “A Family VLSI Design for the Motion Compensation Block Algorithm” IEEE Trans. on Circuits and Systems, vol. 36, pp. 137-1325, Oct. 1989.に記載されている。

#### 【0011】

【発明が解決しようとする課題】ところが、従来技術の第1の例においては、4並列演算の場合、前フレーム2の画素を読み出すために4ポート、現画素ブロック1の画素を読み出すために4ポート、計8出力ポート必要であり、多数の出力ポートを持ったメモリが必要であるという問題がある。また、差分絶対値を累算するために、加算器12をトリー状に結合するパスが必要であるという問題がある。

【0012】従来技術の第2の例においては、前フレーム2の画素を2画素同時に読み出すために2ポートメモリ18が必要となり、しかも個々の演算回路に送る画素を選択するセクタ21-0～21-2が必要となるという問題がある。また、メモリ19から読み出された現画素ブロック1の画素を1サイクルごとにシフトするためにシフトレジスタ20-0～20-3が必要になるという問題がある。

【0013】本発明は、前記問題点を解決するためになされたものであり、本発明の目的は、メモリの出力ポートを低減することが可能な技術を提供することにある。

【0014】本発明の他の目的は、個々の演算回路に送る画素を選択するセクタ及びメモリから読み出された現画素ブロック1の画素を1サイクルごとにシフトするためのシフトレジスタを不要にすることが可能な技術を提供することにある。

【0015】本発明の前記目的ならびにその他の目的及び新規な特徴は、本明細書の記述及び添付図面によって明らかにする。

#### 【0016】

10 【課題を解決するための手段】前記目的を達成するために、本発明は、前フレームから切り出した水平方向に1画素づつずれた複数の画素ブロックと、現フレームから切り出した画素ブロックの間のL1もしくはL2ノルムを並列に計算するL1・L2ノルム並列演算装置において、連続したアドレスに置かれた複数のデータを一度に読み出すことができる複数の出力ポートを有するメモリと、該メモリ上に前フレームの画素を保持する画素保持手段と、該画素保持手段から連続したアドレスを持った複数の画素を一度に読み出して、同時に現フレームから  
20 画素ブロックの画素を切り出す手段と、該切り出す手段によって切り出された画素ブロックの画素を前記ポート数と同じ数の複数の演算器のすべてに放送する手段とを備えることを特徴とする。

【0017】前記演算器は、差分絶対値演算器又は差分自乗演算器と累算器からなることを特徴とする。

#### 【0018】

30 【作用】前述の手段によれば、従来技術の第1の例で用いられている複数バンクメモリとデータローテーション回路によって構成され、連続したアドレスに置かれた複数のデータを一度に読み出すことができるメモリ上に、前フレームの画素を保持し、そこから連続したアドレスを持った複数の画素を一度に読み出して、差分絶対値演算器もしくは差分自乗演算器と累算器からなる複数の演算回路に並列に送り、同時に現画素ブロックの画素を前記演算器すべてに放送するので、個々のメモリから現ブロックの画素を読み出すためのポートが1個で済み、必要なメモリのポート数は演算並列度+1となり、従来技術の第1の例に比べて大幅に削減される。また、差分絶対値を累算するために、加算器をトリー状に結合する必要もない。  
40

【0019】また、従来技術の第2の例において必要であった個々の演算回路に送る画素を選択するセクタ及びメモリから読み出された現画素ブロックの画素を1サイクルごとにシフトするためのシフトレジスタが不要となる。また、各メモリの出力ポートは1個でも良く、2ポートメモリという制限はなくなる。

#### 【0020】

【実施例】以下、本発明の実施例を図面を参照して詳細に説明する。

50 【0021】図1は、本発明の実施例のL1・L2ノルム

ム並列演算装置の構成を示すブロック図である。前述の従来技術の第2の例の説明と同じく図5に示す水平方向に1画素づつずれた画素ブロック6, 15, 16, 17についてL1ノルムを計算する場合を示す。

【0022】図1において、7-0~7-3は4バンク構成の前フレーム内画素保持用メモリ、9は4データローテーション回路、10はレジスタ、12は加算器、14はL1ノルム書き込み用メモリ、19は現画素ブロック内画素保持用のメモリ、22-0~22-3は差分絶対値演算器、23-0~23-3はアキュムレータ、24-1~24-3, 25-1~25-3は2・1セクタである。

【0023】前記従来技術の第1の例で用いられている4バンク構成のメモリ7-0~7-3から最初に4画素X8, X5, X6, X7が読み出され、同じく従来技術の第1の例で用いられている4データローテーション回路9でアドレスの低い順番X5, X6, X7, X8に並べ直されて差分絶対値演算器22-0~22-3に送られる。

【0024】メモリ19から読み出された現画素ブロック1の画素Y0は、差分絶対値演算器22-0~22-3に放送される。次に、メモリ7-0~7-3から4画素X8, X9, X6, X7が読み出され、データローテーション回路9でアドレスの低い順番X6, X7, X8, X9に並べ直されて差分絶対値演算器22-0~22-3に送られる。メモリ19からは、画素Y1が、差分絶対値演算器22-0~22-3に放送される。以下、同様にして差分絶対値演算器22-0~22-3でそれぞれ画素ブロック6, 15, 16, 17の画素と現画素ブロック1の画素の間の差分絶対値が計算され、アキュムレータ23-0~23-3にL1ノルムを得ることができる。なお、途切れなくL1ノルムを計算するためには、図1に示すように、アキュムレータ23-1~23-3を2重化し、計算済みのL1ノルムをメモリ14に書き込むまで上書きされないようにする必要がある。

【0025】以上の説明からわかるように、本実施例によれば、個々のメモリ7-0~7-3から現ブロックの画素を読み出すためのポートが1個で済み、必要なメモリのポート数は、演算並列度+1となり、従来技術の第1の例に比べて大幅に削減される。また、差分絶対値を累算するために、加算器12をトリ一状に結合する必要もない。

【0026】さらに、従来技術の第2の例において必要であった個々の演算回路に送る画素を選択するセクタ21-0~21-2、およびメモリ19から読み出された現画素ブロック1の画素を1サイクルごとにシフトする \*

\* ためのシフトレジスタ20-0~20-3は不要となる。また、各メモリの出力ポートは1個でも良く、2ポートメモリという制限はなくなる。

【0027】なお、前述の実施例では簡単のために4×4画素ブロックに対して4並列演算を行う場合についてのみ説明したが、本発明は任意の並列度、任意の画素ブロックサイズに対して適用できる。

【0028】以上、本発明を実施例に基づき具体的に説明したが、本発明は、前記実施例に限定されるものではなく、その要旨を逸脱しない範囲において種々変更し得ることはいうまでもない。

【0029】

【発明の効果】以上、説明したように、本発明によれば、個々のメモリから現ブロックの画素を読み出すためのポートが1個で済み、必要なメモリのポート数は演算並列度+1となり、従来技術の第1の例に比べて大幅に削減される。また、差分絶対値を累算するために、加算器をトリ一状に結合する必要もない。

【図面の簡単な説明】

【図1】 本発明の実施例の全探索向きL1・L2ノルム並列演算装置の構成を示すブロック図、

【図2】 L1ノルムとL2ノルムの計算式を説明するための前フレーム内の画素ブロックと現ブロックを示す図、

【図3】 従来技術の第1の例を説明するための計算の対象となる画素ブロックを示す図、

【図4】 従来技術の第1の例を説明するための回路構成図、

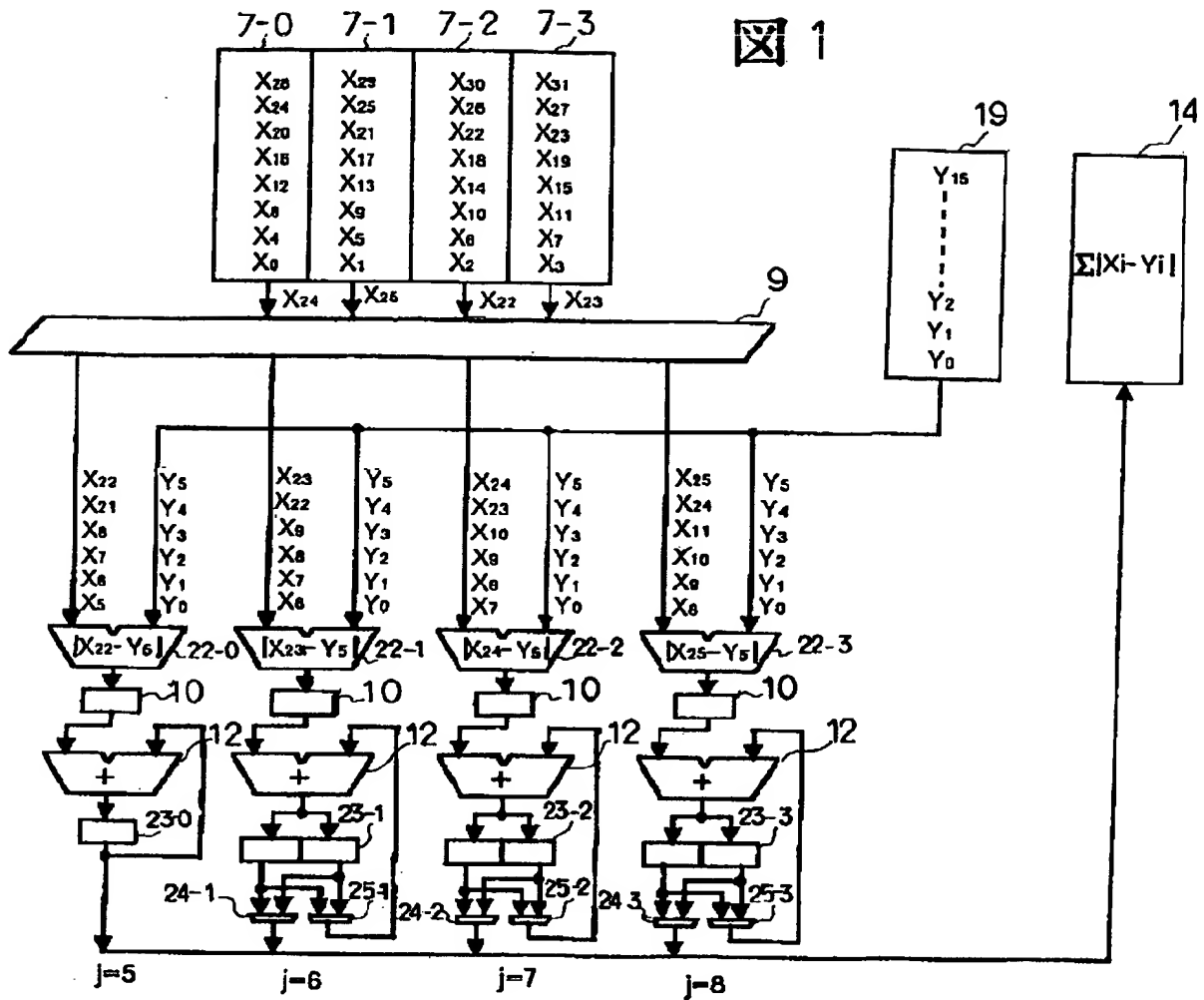
【図5】 従来技術の第2の例を説明するための計算の対象となる画素ブロックを示す図、

【図6】 従来技術の第2の例を説明するための回路構成図。

【符号の説明】

1…現画素ブロック、2…前フレーム、3, 4, 5, 6, 15, 16, 17…前フレーム内の画素ブロック、7-0~7-3…4バンク構成の前フレーム内画素保持用メモリ、8-0~8-3…4バンク構成の現画素ブロック内画素保持用メモリ、9…4データローテーション回路、10…レジスタ、11-0~11-3, 22-0~22-3…差分絶対値演算器、12…加算器、13, 23-0~23-3…アキュムレータ、14…L1ノルム書き込み用メモリ、18…前フレーム内画素保持用の2ポートメモリ、19…現画素ブロック内画素保持用のメモリ、20-0~20-3…4シフトレジスタを構成するレジスタ、21-0~21-2, 24-1~24-3, 25-1~25-3…2・1セクタ。

【図1】



【図2】

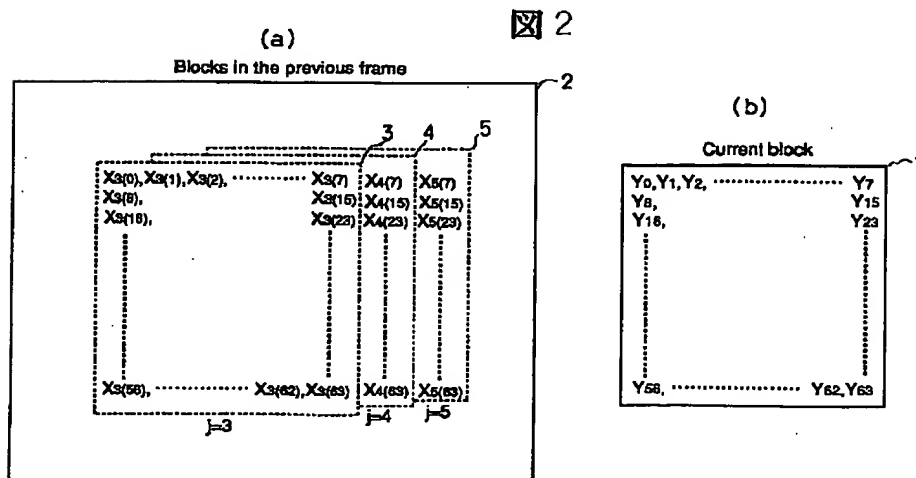
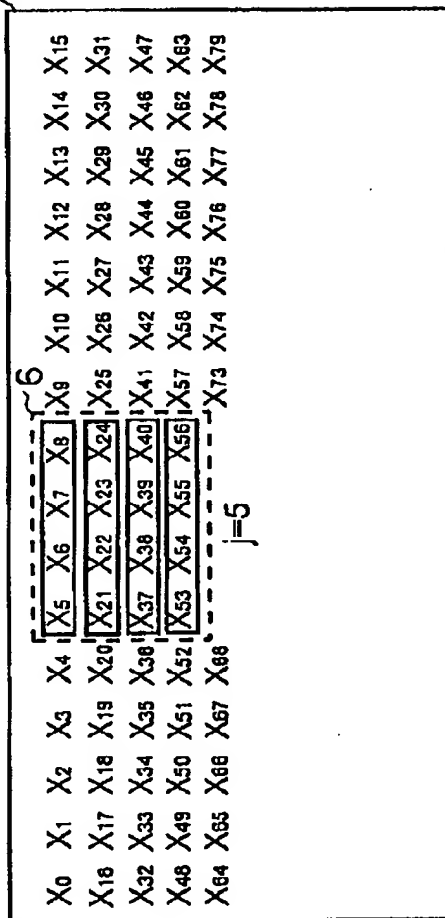


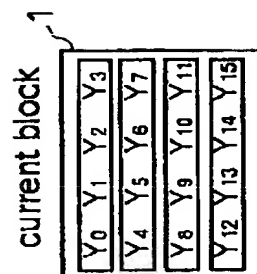
図 3

(a)

blocks in previous frame



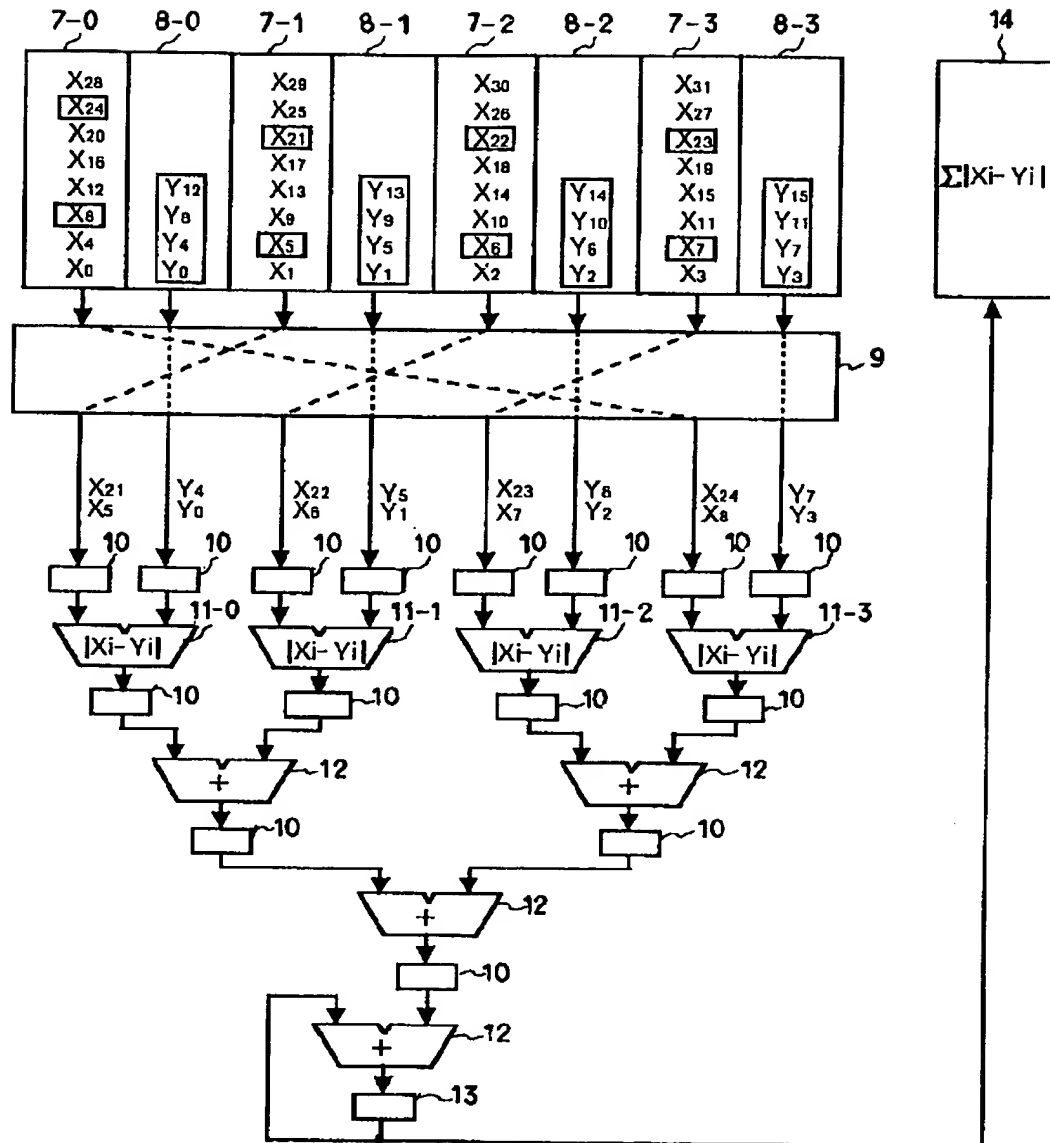
(b)



【図 3】

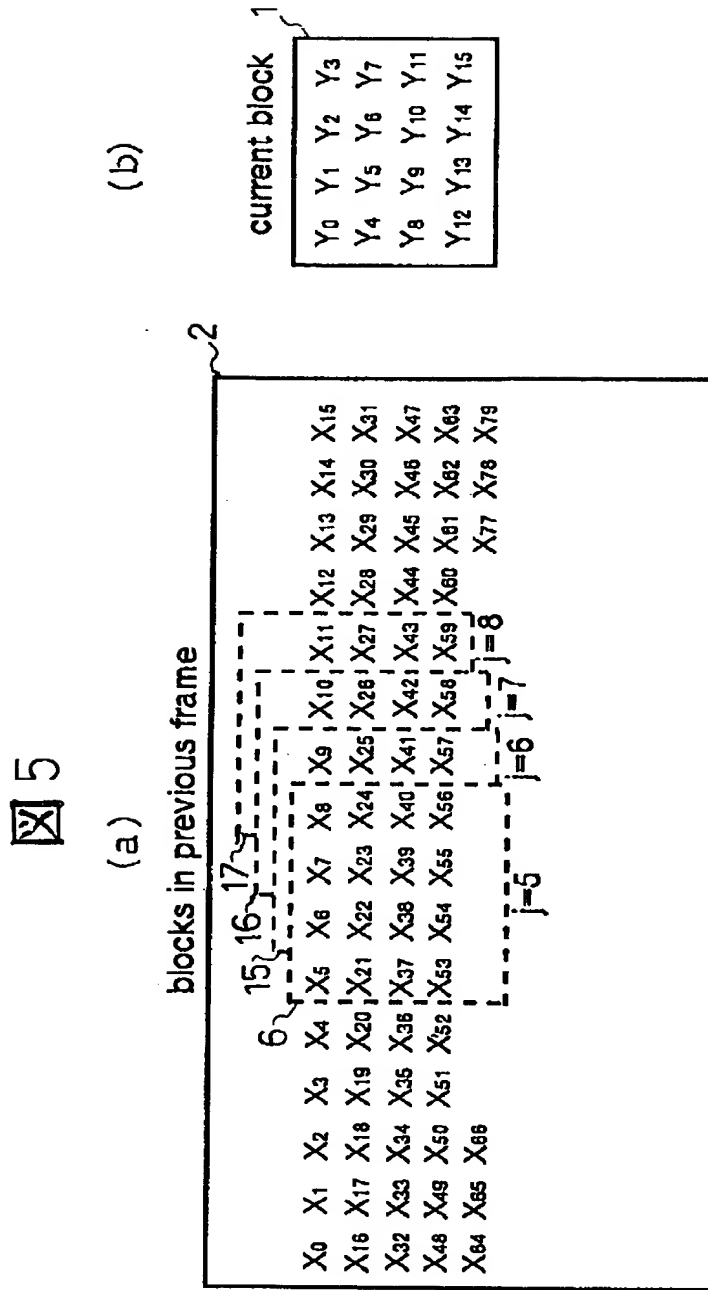
【図4】

図4



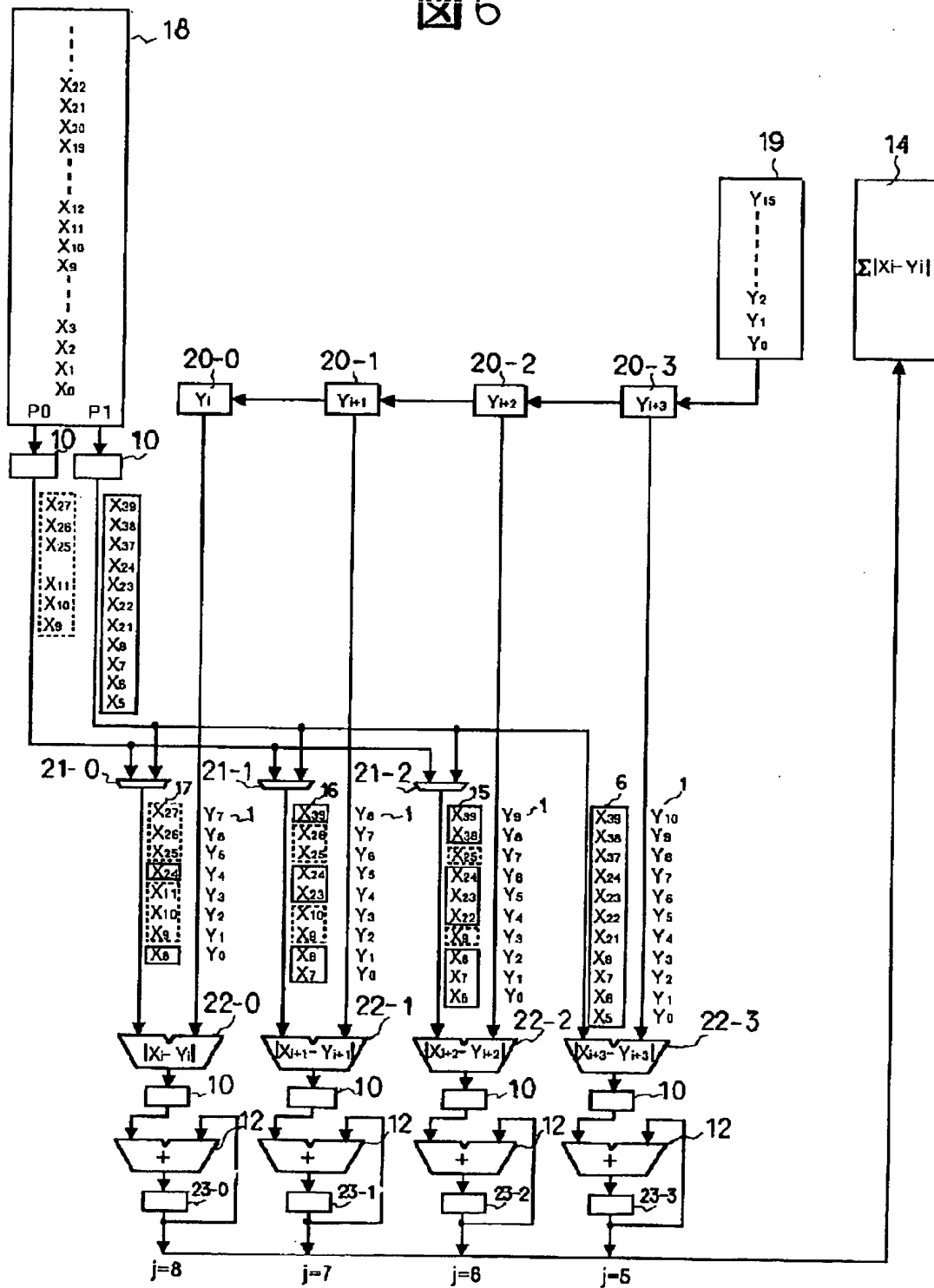


【図5】



【図6】

図 6



フロントページの続き

(51) Int. Cl.<sup>6</sup>

G 0 6 F 15/70

識別記号

4 1 0

庁内整理番号

9071-5L

F I

技術表示箇所

**This Page is Inserted by IFW Indexing and Scanning  
Operations and is not part of the Official Record**

**BEST AVAILABLE IMAGES**

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ **BLACK BORDERS**
- ☐ **IMAGE CUT OFF AT TOP, BOTTOM OR SIDES**
- ☐ **FADED TEXT OR DRAWING**
- ☐ **BLURRED OR ILLEGIBLE TEXT OR DRAWING**
- ☐ **SKEWED/SLANTED IMAGES**
- ☐ **COLOR OR BLACK AND WHITE PHOTOGRAPHS**
- ☐ **GRAY SCALE DOCUMENTS**
- ☐ **LINES OR MARKS ON ORIGINAL DOCUMENT**
- ☐ **REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY**
- ☐ **OTHER:** \_\_\_\_\_

**IMAGES ARE BEST AVAILABLE COPY.**

**As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.**